

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JCS25 U.S. PTO  
09/412512  
10/05/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1998年10月19日

出 願 番 号  
Application Number:

平成10年特許願第297359号

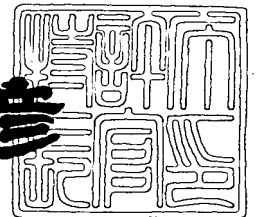
出 願 人  
Applicant(s):

株式会社半導体エネルギー研究所

1999年 9月17日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3063927

【書類名】 特許願

【整理番号】 P004011-01

【提出日】 平成10年10月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

【請求項の数】 14

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子からなる半導体回路を備えた半導体装置およびその作製方法

【特許請求の範囲】

【請求項 1】

絶縁表面上に、活性層と、前記活性層に接する絶縁膜とを有する半導体素子からなる半導体回路を備えた半導体装置であって、  
前記活性層は、スパッタリング法により形成された半導体膜を前記絶縁膜が接した状態で結晶化した膜からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 2】

請求項 1 において、前記スパッタリング法はシリコンまたはシリコンを主成分とする材料をターゲットとし、RF 電力により半導体膜を形成することを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、前記絶縁膜は、スパッタリング法により形成されたことを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、前記絶縁膜は、窒化珪素膜、酸化窒化珪素膜、酸化珪素膜から選ばれた単層膜、またはそれらの積層膜であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一において、少なくとも前記ソース領域及び前記ドレイン領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 6】

請求項 5 において、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Auから選ばれた少なくとも 1 つの元素、または複数の元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 7】

請求項 5 において、前記触媒元素は、Ge、Pb から選ばれた少なくとも 1 つの元素、または複数の元素であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一において、前記半導体回路とは、マイクロプロセッサ、信号処理回路または高周波回路であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 9】

請求項 8 において、前記半導体装置は電気光学装置または電子機器であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 10】

請求項 8 において、前記電気光学装置とは液晶表示装置、EL 表示装置、EC 表示装置またはイメージセンサであることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 11】

請求項 8 において、前記電子機器とは、ビデオカメラ、デジタルカメラ、プロジェクター、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータまたは携帯情報端末であることを特徴とする半導体素子からなる半導体回路を備えた半導体装置。

【請求項 12】

絶縁表面上にスパッタリング法により半導体膜を形成する工程と、  
前記半導体膜に接して絶縁膜を形成する工程と、  
前記半導体膜を前記絶縁膜が接した状態で結晶化して結晶性半導体膜を形成する工程とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 13】

絶縁表面上の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、  
スパッタリング法により半導体膜を形成する工程と、

前記半導体膜に接して絶縁膜を形成する工程と、  
前記半導体膜を前記絶縁膜が接した状態で結晶化して結晶性半導体膜を形成する工程とを有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【請求項 14】

絶縁表面上の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、  
スパッタリング法により半導体膜を形成する工程と、  
前記半導体膜に接して絶縁膜を形成する工程と、  
前記半導体膜を前記絶縁膜が接した状態で結晶化して結晶性半導体膜を形成する工程と、  
前記結晶性半導体膜中の触媒元素の濃度を低減する工程と、  
を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、絶縁ゲート型トランジスタ等の半導体素子からなる半導体回路を備えた半導体装置の構造およびその作製方法に関する。特に、絶縁表面上に結晶性半導体膜を形成する技術に関する。本発明の半導体装置は、薄膜トランジスタ（TFT）やMOSトランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の電気光学装置をも含むものである。加えて、本発明の半導体装置は、これらの表示装置および電気光学装置を搭載した電子機器をも含むものである。

【0002】

【従来の技術】

絶縁性を有する基板上に形成された薄膜トランジスタ（TFT）により画素マトリクス回路および駆動回路を構成したアクティブマトリクス型液晶ディスプレイが注目を浴びている。液晶ディスプレイは0.5～20インチ程度のものまで表示ディスプレイとして利用されている。

【0003】

現在、高精細な表示が可能な液晶ディスプレイを実現するために、ポリシリコン膜で代表される結晶性半導体膜を活性層とするTFTが注目されている。

【0004】

結晶性半導体膜は、アモルファスシリコン膜で代表される非晶質半導体膜を形成した後、結晶化させることによって形成する。一般的には非晶質半導体膜の形成には化学気相成長法（CVD法）が用いられている。

【0005】

従来では、良好な膜質を有する非晶質珪素膜を堆積できる減圧CVD法や、スループットよく低温で非晶質珪素膜を堆積できるプラズマCVD法による形成方法がよく用いられている。

【0006】

減圧CVD法においては、非晶質半導体膜の形成速度が遅く、生産性の観点からは不利であった。

【0007】

また、プラズマCVD法においては、RFパワーを十分に投入して高価な反応ガス（モノシラン、ジシラン等）を分解して非晶質半導体膜の形成を行うが、その際、非晶質半導体膜以外に重合反応からなる多量の黄色い粉が発生する。この粉は超微粒であり、大気にふれると粉体爆発を起こすことが知られている。

【0008】

従って、プラズマCVD法を用いたプロセスを実施するには、爆発の危険性が高いため、作業環境の安全性の観点からは不利であった。

【0009】

また、従来では、非晶質半導体膜の形成後、幾つかの工程（例えば、結晶化工程、パターニング工程）を施した後、ゲート絶縁膜を形成している。そのため、ゲート絶縁膜の形成前に活性層となる結晶性珪素膜の表面が大気にさらされて、不純物（酸素、水分、ボロン、ナトリウム等）により汚染または酸化されてしまっていた。この後、ゲート絶縁膜を積層形成すると、活性層、特にチャネル形成領域とゲート絶縁膜との界面特性が低下し、TFTの電気特性の低下を引き起こ

す原因となっていた。

【0010】

特に、クリーンルーム内の大気は、清浄化のため一般的に使用されているHEPAフィルタからのボロン（ホウ素）を含んでいるため、大気にさらされた膜の表面にボロンが不定量混入する。HEPAフィルタはガラスを網目状の構造を作りやすくするためにガラスにはボロンが多量に含まれている。また、TFTの電気特性の測定を行った場合、半導体膜の結晶化工程においても、半導体膜の結晶化を阻害していた。

【0011】

【発明が解決しようとする課題】

本発明は、低温で成膜でき、生産性の優れたスパッタリング法を用いて非晶質半導体膜を形成することにより、安全性の高いプロセスを提供することを目的とする。

【0012】

加えて、スパッタリング法を用いて非晶質半導体膜を結晶化させて得られた結晶性半導体膜からなる活性層と絶縁膜との界面を良好なものとするることにより、高い電気特性を有する半導体素子からなる半導体回路を備えた半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】

上記目的を解決するため、本発明はスパッタリング法により半導体膜を形成し、次いで連続的に絶縁膜を形成した後、絶縁膜を介して結晶化を行い、結晶性半導体膜を形成することを特徴としている。また、スパッタリング法により絶縁膜を形成することを特徴としている。この様な構成により安全な作業環境のプロセスで良好なTFTの電気特性を実現する。

【0014】

本明細書で開示する発明の第1の構成は、絶縁表面上に、活性層と、前記活性層に接する絶縁膜とを有する半導体素子からなる半導体回路を備えた半導体装置であって、

前記活性層は、スパッタリング法により形成された半導体膜を前記絶縁膜が接した状態で結晶化した膜からなることを特徴とする半導体素子からなる半導体回路を備えた半導体装置である。

【0015】

上記構成において、前記スパッタリング法はシリコンまたはシリコンを主成分とする材料をターゲットとし、RF電力により半導体膜を形成することを特徴としている。

【0016】

また、上記各構成において、前記絶縁膜は、スパッタリング法により形成されたことを特徴としている。

【0017】

また、上記各構成において、前記絶縁膜は、窒化珪素膜、酸化窒化珪素膜、酸化珪素膜から選ばれた単層膜、またはそれらの積層膜であることを特徴としている。

【0018】

また、上記各構成において、少なくとも前記ソース領域及び前記ドレイン領域には珪素の結晶化を助長する触媒元素が含まれていることを特徴としている。

【0019】

また、上記各構成において、前記触媒元素は、Ni、Fe、Co、Pt、Cu、Au、Ge、Pbから選ばれた少なくとも1つの元素、または複数の元素であることを特徴としている。

【0020】

なお、本明細書において「非晶質半導体膜」とは、代表的には非晶質を有する半導体膜、例えば微結晶を有する非晶質半導体膜、微結晶半導体膜等を指し、これら半導体膜は、Si膜、Ge膜、化合物半導体膜〔例えば、 $\text{Si}_x\text{Ge}_{1-x}$  ( $0 < x < 1$ ) で示される非晶質シリコンゲルマニウム膜等〕からなる膜である。

【0021】

なお、本明細書において「結晶性半導体膜」とは、単結晶半導体膜、結晶粒界を含む半導体膜（多結晶半導体膜及び微結晶半導体膜を含む）を指し、全域に渡



って非晶質状態である半導体膜（非晶質半導体膜）との区別を明確にしている。  
勿論、本明細書において「半導体膜」と記載されていれば、結晶性半導体膜以外  
に非晶質半導体膜も含まれることは言うまでもない。

【0022】

また、本明細書において「半導体素子」とは、スイッチング素子やメモリ素子  
、例えば薄膜トランジスタ（TFET）や薄膜ダイオード（TFD）等を指してい  
る。

【0023】

また、本発明の半導体装置を作製する方法の第1の構成は、  
絶縁表面上にスパッタリング法により半導体膜を形成する工程と、  
前記半導体膜に接して絶縁膜を形成する工程と、  
前記半導体膜を前記絶縁膜が接した状態で結晶化して結晶性半導体膜を形成する  
工程とを有していることを特徴とする半導体素子からなる半導体回路を備えた半  
導体装置の作製方法である。

【0024】

また、本発明の半導体装置を作製する方法の第2の構成は、  
絶縁表面上の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、  
スパッタリング法により半導体膜を形成する工程と、  
前記半導体膜に接して絶縁膜を形成する工程と、  
前記半導体膜を前記絶縁膜が接した状態で結晶化して結晶性半導体膜を形成する  
工程とを有していることを特徴とする半導体素子からなる半導体回路を備えた半  
導体装置の作製方法である。

【0025】

また、本発明の半導体装置を作製する方法の第3の構成は、  
絶縁表面上の少なくとも一部に結晶化を助長する触媒元素を添加する工程と、  
スパッタリング法により半導体膜を形成する工程と、  
前記半導体膜に接して絶縁膜を形成する工程と、  
前記半導体膜を前記絶縁膜が接した状態で結晶化して結晶性半導体膜を形成する  
工程と、

前記結晶性半導体膜中の触媒元素の濃度を低減する工程と、  
を有していることを特徴とする半導体素子からなる半導体回路を備えた半導体装置の作製方法である。

## 【0026】

## 【発明の実施の形態】

以下に図2 (A) ~ (D) を参照して本発明の実施形態を詳細に説明する。

## 【0027】

まず、基板を用意する。基板100としては、ガラス基板、石英基板、結晶性ガラスなどの絶縁性基板、セラミック基板、ステンレス基板、金属（タンタル、タングステン、モリブデン等）基板、半導体基板、プラスチック基板（ポリエチレンテレフタレート基板）等を用いることができる。

## 【0028】

次いで、基板上に下地絶縁膜（以下、下地膜とする）110を形成する。また、信頼性を向上させるために、この下地膜を熱処理する工程を加えてもよい。下地膜110としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、またはこれらの積層膜等を100~500nmの膜厚範囲で用いることができる。下地膜の形成手段としては安全性及び生産性が高いスパッタリング法を用いることが望ましいが、熱CVD法、プラズマCVD法、蒸着法、減圧熱CVD法等の形成方法を用いることもできる。この下地膜は基板からの不純物の拡散を防ぐ効果がある。なお、この下地膜は、TFTの電気特性を向上させるためであり、特に設けなくともよい。

## 【0029】

次いで、下地膜110上に、非晶質な領域を有する半導体膜150をスパッタリング法により積層形成する。半導体膜150としては、非晶質珪素膜、微結晶を有する非晶質半導体膜、微結晶半導体膜、非晶質ゲルマニウム膜、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示される非晶質シリコンゲルマニウム膜、またはこれらの積層膜を20~70nm（代表的には40~50nm）の膜厚範囲で用いることができる。

## 【0030】

図11に示すマルチチャンバー構造の成膜装置は、各反応室（チャンバー）に異なる組成（異なる元素の場合も含む）でなるターゲットを設けることで異なる組成の薄膜を連続的に積層することのできるスパッタ装置の一例である。

#### 【0031】

ここで、図11に示すスパッタ装置の簡単な構成を説明する。図11（A）に示す装置を破線で切断した断面の概略図を図11（B）に示す。図11では、チャンバーの個数を3つとしたが、実施者は、必要に応じて適宜変更することが可能であることは言うまでもない。10は被処理基板、11は共通室、12は基板10を搬送する搬送機構、31はターゲット支持台、33はシャッター、34は基板ホルダーである。基板は装置本体に取り付けられたロードロック室13、14から搬入・搬出される。なお、15、16はロードロック室に設置された基板搬送カセットである。さらに、ロードロック室13、14はゲート弁17、18によって共通室11とは密閉遮断することができる。また、共通室11には複数のチャンバー19～21が設けられており、それぞれゲート弁22～24によって共通室とは密閉遮断することができる。そして、チャンバー19～21のそれぞれには超高真空（ $1 \times 10^{-8}$  torr以下、好ましくは $1 \times 10^{-9}$  torr以下）にまで減圧可能な真空ポンプが設けられている。このような装置を用いることで、大気にさらすことなく、連続的に積層形成することができる。

#### 【0032】

本発明の実施に用いられるスパッタ装置は基本的に、チャンバーと、チャンバー内を真空にする排気系と、スパッタ用のガスをチャンバーに導入するガス導入系と、ターゲット32やRF電極等からなる電極系と、電極系に接続されたスパッタリング電源とから構成されている。

#### 【0033】

ターゲット32としては、シリコン、 $\text{Si}_x\text{Ge}_{1-x}$ （ $0 < x < 1$ ）で示されるシリコンゲルマニウム、またはシリコンを主成分とする材料からなるターゲットを使用する。また、形成される膜の結晶方位がある面（例えば、（100）面、（111）面、（110）面等）に強く配向するターゲットが好ましい。スパッタリング法ではターゲットの組成比とほぼ同じ組成の薄膜が形成されるため、タ

ターゲットの組成比を調節することで所望の組成比の薄膜を形成できるという長所を有している。更に、膜の成長速度はスパッタ電圧にほぼ比例し安定である。

#### 【0034】

また、スパッタ用のガスとしてAr、He、Ne、N等の不活性元素から選ばれた一種または複数種からなるガスを用いる。さらに、水素ガス等を添加して半導体膜中の水素濃度を調節してもよい。

#### 【0035】

なお、本発明においてはチャンバー内を排気系により高真空状態 ( $1 \times 10^{-4}$  Pa以下) として、スパッタ用ガスをチャンバー内に導入し、成膜圧力を0.2~0.6 Pa、基板の温度を100~400℃、RF電力を200~2500 W (ターゲット面積当たりの電力量  $1 \sim 15 \text{ W/cm}^2$ ) とすることによって半導体膜150を形成する。なお、スパッタの条件 (スパッタ用のガス、ガス流量、成膜圧力、基板の温度、成膜電力等) は、ターゲットの大きさ、基板の寸法、半導体膜の膜厚、半導体膜の膜質等を考慮して実施者が適宜決定すればよい。また、スパッタリング電源としては周波数13.56 MHzで出力インピーダンス50  $\Omega$  の電源が主に使用されているが、プラズマを形成するのに必要な高周波数であれば特に限定されない。また、RF電力に代えてDC電力を使用することも可能である。

#### 【0036】

スパッタリングにおいては、プラズマ内のイオンが加速され、ターゲットに衝撃してスパッタを起こしている。イオンの衝撃により引き出された原子が基板に付着し薄膜となる。このスパッタリング法としては、形成される膜に含有させるべき原子を構成要素として含むターゲットを用いる方法 (共スパッタリング法) が主に使用されているが、ターゲットをスパッタリングする際に反応ガス (例えば、酸素、アンモニア等) を導入してスパッタリングする方法 (反応性スパッタリング法) 等がある。

#### 【0037】

なお、スパッタリング法による膜の形成前に、被処理表面を清浄化する工程、例えばプラズマクリーニング処理を行うことが好ましい。

【0038】

上記本発明のスパッタリング法によれば、従来のプラズマCVD法と比較して下地膜または基板への密着性が高く、所望の膜質（膜中の水素、酸素等の不純物濃度）を有する半導体膜を形成することができる。

【0039】

次いで、大気にさらすことなく、上記半導体膜150と連続的に絶縁膜151を形成する。（図2（A））

【0040】

本明細書中で膜を連続的に形成するとは、高真空を維持したまま、大気にさらすことなく順次、膜を形成することを指しており、例えば、大気にさらすことなくチャンバー間を移動させて連続的に膜の形成を行なう、または同一チャンバー内で大気にさらすことなく連続的に膜の形成を行なうことを指している。

【0041】

絶縁膜151としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、またはこれらの積層膜等を用いることができる。絶縁膜151の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法、蒸着法等の公知の手段を用い、1～50nmの膜厚範囲で用いることができる。

【0042】

より好ましくは、安全性の高いスパッタリング法が好ましい。スパッタリング法を用いる場合は、ターゲットとして、熔融石英、または酸化シリコンを主成分とする材料からなるターゲットを使用する。また、スパッタ用のガスとしてAr、 $\text{O}_2$ 、He、Ne、N等の元素から選ばれた一種または複数種からなるガスを用いる。さらに、酸素ガスの比率を調節し、所望の膜質とすることが好ましい。なお、スパッタの条件（スパッタ用のガス、ガス流量、成膜圧力、基板の温度、電力強度等）は、ターゲットの大きさ、基板の寸法等を考慮して実施者が適宜決定すればよい。

【0043】

本発明においては、半導体膜150を形成後、大気にさらすことなく連続的に

絶縁膜 151 を形成することにより優れた界面特性を得ることができた。

【0044】

次いで、絶縁膜 151 が接した状態で半導体膜 150 に結晶化処理を施し、結晶性半導体膜 152 を形成する。(図 2 (B))

【0045】

本発明のスパッタリング法より得られる膜を出発材料として、絶縁膜 151 を介して結晶化させて得られる膜は、従来の結晶性半導体膜とは異なる。本発明の結晶性半導体膜 152 に柱状構造を観察することができた。

【0046】

本発明の結晶化処理としては、公知の如何なる手段、例えば、赤外光または紫外光の照射による結晶化処理(以下、レーザー結晶化と呼ぶ)、触媒元素を用いたレーザー結晶化、熱結晶化、触媒元素を用いた熱結晶化等を用いることができる。また、これらの結晶化処理を組み合わせてもよい。

【0047】

特に、レーザー結晶化は基板にかかるストレスが少なく、短時間で処理することができるため有効である。結晶化処理として紫外光を用いる場合はエキシマレーザー光または紫外光ランプから発生する強光を用いればよく、赤外光を用いる場合は赤外線レーザー光または赤外線ランプから発生する強光を用いればよい。なお、レーザーのガスとして XeCl、ArF、KrF 等を用いたパルスレーザーや Ar レーザー等の連続発振レーザーを用いて、そのレーザー光を線状(幅数ミリ×数十センチ)、長形状または正形状にビーム形成して照射することができる。

【0048】

なお、レーザー結晶化の条件(レーザービームの形状、レーザー光の波長、オーバーラップ率、照射強度、パルス幅、繰り返し周波数、照射時間等)は、絶縁膜 151 の膜厚、半導体膜 150 の膜厚、基板温度等を考慮して実施者が適宜決定すればよい。また、レーザー結晶化の条件によっては、半導体膜 150 が熔融状態を経過して結晶化する場合や、半導体膜 150 が熔融せずに固相状態、もしくは固相と液相の中間状態で結晶化する場合がある。また、大気にふれることな

く同一チャンバー内で、スパッタリング法による半導体膜150の形成と、スパッタリング法による絶縁膜151の形成と、半導体膜150のレーザー結晶化を行う構成としてもよい。

【0049】

また、結晶化を助長する触媒元素（ニッケル）を添加する熱結晶化については特開平7-130652号公報、特開平9-312260号等に詳細に記載されている。結晶化を助長する金属元素としては、Fe、Co、Ni、Ru、Rh、Pd、Os、Ir、Pt、Cu、Auから選ばれた一種または複数種類のものを用いる。また、非晶質珪素膜中の拡散が置換型拡散であるGe、Pbを用いることもできる。

【0050】

ただし、触媒元素を用いたレーザー結晶化や触媒元素を用いた熱結晶化においては、下地膜上に触媒元素を添加させて半導体膜を積層した後、結晶化させる。また、半導体膜中に触媒元素が高濃度に残存するため、結晶化処理後に半導体膜中の触媒元素の濃度を低減する工程、例えばゲッタリング処理を施すことが好ましい。

【0051】

次いで、得られた結晶性半導体膜152及び絶縁膜151をパターニングして所望の形状の活性層210、300、310を形成する。この時、活性層210、300、310の上面は絶縁膜221、321、322で覆われている。（図2（C））

【0052】

そして、活性層及び絶縁膜を覆って絶縁膜120を形成する。（図2（D））

【0053】

絶縁膜120としては、酸化珪素膜、窒化珪素膜、窒化酸化珪素膜（ $\text{SiO}_x\text{N}_y$ ）、有機樹脂膜（BCB（ベンゾシクロブテン）膜等）、またはこれらの積層膜等を用いることができる。絶縁膜の形成手段としては熱CVD法、プラズマCVD法、減圧熱CVD法、スパッタリング法、蒸着法、塗布法等の公知の手段を用い、10～300nmの膜厚範囲で用いることができる。

【0054】

なお、本発明においては、作業環境の安全上、半導体膜 150 と絶縁膜 151 と絶縁膜 120 とをスパッタリング法を用いて形成することが好ましい。なお、スパッタの条件（スパッタ用のガス、ガス流量、成膜圧力、基板の温度、電力強度等）は、ターゲットの大きさ、基板の寸法等を考慮して実施者が適宜決定すればよい。

【0055】

また、結晶性半導体膜 152 を形成した後、絶縁膜 120 を積層形成して、結晶性半導体膜 152 のパターニングを絶縁膜 120 の形成後に行う工程としてもよい。

【0056】

こうして上記作製方法により得られる活性層 210、300、310 または絶縁膜 151、120 を利用して、薄膜トランジスタ（TFT）や MOS トランジスタ等の素子だけでなく、これら絶縁ゲート型トランジスタで構成された半導体回路を有する表示装置やイメージセンサ等の半導体装置に適用することができる。

【0057】

なお、上記作製工程の順序は、作製しようとする素子によって実施者が適宜変更することが可能である。例えば、ボトムゲート型 TFT を作製する場合は、図 7 及び図 8 に示したように、下地膜及びゲート配線を形成し、絶縁膜を形成した後、本発明の半導体膜（スパッタリング法による）を積層形成し、さらにその上に絶縁膜を連続的に形成する。

【0058】

【実施例】

以下に本発明の実施例を説明するが、特にこれらの実施例に限定されないことは勿論である。

【0059】

【実施例 1】 本実施例では、本願発明を用いて、同一基板上に周辺駆動回路の一部を構成する CMOS 回路と画素マトリクス回路部の一部を構成する画素 TFT とを作製した例を説明する。以下に本発明の半導体装置およびその作製方法の



簡略断面図である図1～図6を用いて簡略に説明する。

#### 【0060】

まず、基板100を用意する。本実施例においては基板100としてガラス基板（コーニング1737；歪点667℃）を用いた。次に、基板100上に下地絶縁膜110（以下、本明細書中では下地膜と称す）を形成した後、熱処理する。また、ここでの熱処理は基板の歪点以下、好ましくは200～700℃で行う。本実施例では、下地膜110として、TEOSと酸素（ $O_2$ ）を原料ガスに用い、プラズマCVD装置によって膜厚200nmの酸化珪素膜を成膜した後、640℃、4時間の熱処理を行った。

#### 【0061】

次いで、下地膜110上に半導体膜150をスパッタリング法により積層形成した。本実施例においては、シリコンからなるターゲット（6φ）を使用し、スパッタ用のガスとしてArガス（ガス流量20～50sccm）を用いた。さらに、水素ガスまたはHeガスを添加（ガス流量1～50sccm）して半導体膜中の水素濃度を調節した。

#### 【0062】

次いで、半導体膜150と連続的に20nmの酸化珪素膜からなる絶縁膜151をスパッタリング法により積層形成した。（図2（A））この工程において、人工石英からなるターゲットを用い、スパッタリング用のガスとしてArを用い、反応ガスとして酸素を用い、比率（ $O_2 / Ar = 20 \sim 80\%$ ）で行った。

#### 【0063】

こうして図2（A）の状態が得られたら、絶縁膜151を介して半導体膜150に結晶化処理を施して結晶性珪素膜からなる結晶性半導体膜152を形成する。本実施例では半導体膜150に対してレーザー結晶化を行った。本実施例では大気中でエキシマレーザー光を線状（0.4mm×長さ135mm）にビーム形成して照射した。（図2（B））本実施例ではレーザー光の照射条件として、パルス周波数を30Hz、オーバーラップ率を96%、レーザーエネルギー密度を175mJ/cm<sup>2</sup>とした。なお、半導体膜150表面に絶縁膜151が形成されているため、レーザー結晶化を行っても半導体膜150表面は汚染されない。

【0064】

また、図2(B)の工程後、しきい値制御をするために不純物の添加を行ない、チャンネル形成領域となる領域に不純物を添加する工程を加えてもよい。

【0065】

次いで、得られた結晶性半導体膜152及び絶縁膜151をパターニングして、所望の形状を有する活性層210、300、310、及び絶縁膜(後の工程によりゲート絶縁膜の一部となる)221、321、322を形成した。(図2(C))

【0066】

次いで、活性層210、300、310及び絶縁膜221、321、322を覆って、絶縁膜(後の工程によりゲート絶縁膜の一部となる)120としてスパッタリング法により酸化珪素膜を150nmの膜厚で成膜した。(図2(D))

【0067】

次いで、絶縁膜120上に導電膜(ゲート配線形成材料層)を形成した。

【0068】

また、導電膜としては、導電性材料または半導体材料、例えば、アルミニウム(Al)、タンタル(Ta)、銅(Cu)、ニオブ(Nb)、ハフニウム(Hf)、ジルコニウム(Zr)、チタン(Ti)、クロム(Cr)、シリコン(Si)、シリサイド等を主成分とする層からなる単層構造または積層構造を用いることができる。導電膜としては、10~500nmの膜厚範囲で用いることができる。本実施例では導電膜としてアルミニウム膜を400nmの膜厚で成膜した。

【0069】

次いで、マスク154、155を用いて導電膜をパターニングしてゲート配線を形成する材料層156、157を形成する。(図3(A))

【0070】

そして、本実施例では、ゲート配線を形成する材料層156、157に第1の陽極酸化処理を施して多孔質な陽極酸化膜(ポーラス型)158、159を形成した。(図3(B))さらにマスク154、155を除去した後、第2の陽極酸化処理を施して緻密な陽極酸化膜(バリア型)231、331を形成し、ゲート配

線330、230を形成した。(図3(C))

【0071】

また、上記陽極酸化を施さず、ゲート配線を保護するためにゲート配線を覆う絶縁膜からなる保護膜を形成する工程を加えてもよい。

【0072】

その後、ゲート配線330、230及び陽極酸化膜158、159、331、231をマスクとして、活性層へN型を付与する不純物を高濃度に添加した。(図4(A))次いで、多孔質な陽極酸化膜158、159を除去した。(図4(B))次いで、ゲート配線330、230及び陽極酸化膜331、231をマスクとして、活性層へN型を付与する不純物を低濃度に添加した。(図4(C))本実施例では、N型の導電性を付与する不純物としてリン元素を用いた。

【0073】

上記不純物添加工程によって、高濃度不純物領域( $n^+$ 型領域)302、303、213~215はソース領域、ドレイン領域となり、低濃度不純物領域( $n^-$ 型領域)304、305、216~219はLDD領域となる。また、リンイオン、ボロンイオンが注入されなかった領域が後にキャリアの移動経路となる真性または実質的に真性なチャネル形成領域301、211、212となる。(図5(A))

【0074】

次いで、Nチャネル型TFTをマスク160で覆い、ゲート配線をマスクとして、P型の導電性を付与する不純物を活性層310へ添加する。(図5(A))また、活性層310に選択的に所定の領域に添加するためのマスクを形成してもよい。不純物の添加は、イオン注入法、プラズマドーピング法、レーザードーピング法等の公知の手段を用いればよい。ただし、不純物イオンが活性層の所定の領域に所望の量添加されるようにドーピング条件、ドーズ量、加速電圧等を調節する。本実施例では、P型の導電性を付与する不純物としてボロン元素を用いた。上記不純物添加工程によって、高濃度不純物領域( $p^+$ 型領域)312、313はソース領域、ドレイン領域となり、311は真性または実質的に真性なチャネル形成領域となる。

## 【0075】

なお、本明細書中で真性とは、シリコンのフェルミレベルを変化させうる不純物を一切含まない領域を指し、実質的に真性な領域とは、電子と正孔が完全に釣り合って導電型を相殺させた領域、即ち、しきい値制御が可能な濃度範囲（SIMS分析で  $1 \times 10^{15} \sim 1 \times 10^{17} \text{ atoms / cm}^3$ ）でN型またはP型を付与する不純物を含む領域、または意図的に逆導電型不純物を添加することにより導電型を相殺させた領域を示す。

## 【0076】

次に、ソース領域およびドレイン領域における不純物の活性化効果、またはドーピング工程で損傷した活性層の結晶構造の回復効果を得るための公知の技術、例えば熱アニールまたはレーザーアニールを行う。本実施例では、照射条件がパルス周波数 50 Hz、レーザーエネルギー密度  $179 \text{ mJ/cm}^2$  のレーザー光を照射した後、熱活性化処理（窒素雰囲気下、450℃、2時間）を施した。

## 【0077】

この後、酸化窒化珪素膜、窒化珪素膜等で覆い、パッシベーション膜を形成して保護する構成としてもよい。また、本実施例では絶縁膜 120 をパターンニングしない構成としたが、不純物の添加工程前後において、絶縁膜 120 を所望の形状にパターンニングしてもよい。また、不純物の添加工程前後において、選択的に絶縁膜 221、321、322 を除去してもよい。

## 【0078】

次いで、マスク 160 を除去した。そして、第1の層間絶縁膜 111 を成膜し、ソース領域、ドレイン領域上を露出させるコンタクトホールを形成した後、金属膜を形成し、これをパターンニングして、ソース領域、ドレイン領域と接触する金属配線 341～343、240、241 を形成する。最後に水素化処理（水素雰囲気、350℃、2時間）を行なう。（図5（B））

## 【0079】

こうして、Nチャネル型TFTとPチャネル型TFTが作製される。

## 【0080】

ついで、第2の層間絶縁膜 112 としてアクリル樹脂膜を膜厚  $1 \mu\text{m}$  の厚さに

スピコート法でもって形成する。次に、第2の層間絶縁膜にエッチングを施し、コンタクトホールを形成した後、Tiからなる金属膜300nmを成膜した。そして、この金属膜にパターニングを施してブラックマスク250と引出し配線351、352を形成した。

#### 【0081】

そして、第3の層間絶縁膜113をアクリル樹脂でもって形成する。本実施例では、スピコート法でもって膜厚1 $\mu$ mの第3の層間絶縁膜113を形成した。

#### 【0082】

次にコンタクトホールの形成を行い、画素電極260を形成する。本実施例では、まずITO膜を100nmの厚さにスパッタリング法でもって成膜し、これをパターニングすることにより、260で示される画素電極を形成した。最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体層中の欠陥を減少させた。こうして図1に示す状態を得る。

#### 【0083】

図1においては、ダブルゲート構造を有する画素マトリクス部のTFTを説明に用いたが、シングルゲート構造、またはトリプルゲート構造等のマルチゲート構造にも適用できる。

#### 【0084】

なお、図6(A)及び図6(B)は図1の上面図に相当する図であり、図6(A)及び図6(B)において、点線X-X'で切断した部分が図1の画素マトリクス回路部の断面構造に相当し、点線Y-Y'で切断した部分が図1のCMOS回路部の断面構造に相当する。図6(A)において、210は活性層、220は走査線、230Eはゲート配線、240は信号線、241はドレイン電極、250はブラックマスク、260は画素電極である。図6(B)において、300、310は活性層、330、335はゲート配線、341、342はソース電極、343はドレイン電極、351、352はソース配線である。

#### 【0085】

本実施例に示したTFT構造は、トップゲート型の一例であり、特に本実施例

の構造に限定されるものではない。また、本実施例では透過型LCDを作製した例を示したが、半導体装置の一例を示したにすぎない。なお、ITOに代えて画素電極を反射性の高い金属膜で構成し、画素電極のパターニングの変更を実施者が適宜行うことによって反射型LCDを作製することは容易にできる。また、反射型LCDを作製する場合、下地膜として耐熱性金属膜上に絶縁膜を積層する構造または窒化アルミニウム上に絶縁膜を積層する構造を用いると、絶縁膜下の金属膜が放熱層として働き有効である。なお、上記工程順序を実施者が適宜変更することは可能である。

## 【0086】

〔実施例2〕 本実施例は、実施例1とは異なる方法により結晶性半導体膜を得る例である。本実施例では、実施例1の半導体膜の形成前に結晶化を助長する触媒元素を半導体膜全面または選択的に保持させる工程を加える。基本的な構成は実施例1と同様であるので、相違点のみに着目して説明する。

## 【0087】

本実施例では、半導体膜の裏面に珪素の結晶化を助長する触媒元素を導入する。珪素の結晶化を助長する触媒元素としては、Ni、Fe、Co、Pt、Cu、Au、Geから選ばれた一種または複数種類の元素が用いられる。本実施例では前記触媒元素の内、非晶質珪素膜中の拡散速度が早く、極めて良好な結晶性を得ることができるNiを用いた。

## 【0088】

また、上記触媒元素を導入する箇所としては、特に限定されないが、下地膜の全面、またはマスクを適宜形成することにより選択的に導入する。

## 【0089】

また、非晶質珪素膜に触媒元素を導入する方法としては、触媒元素を非晶質珪素膜の裏面に接触させ得る方法、または非晶質珪素膜の膜中に保持させ得る方法であれば特に限定されない。例えば、スパッタリング法、CVD法、プラズマ処理法、吸着法、イオン注入法、または触媒元素を含有した溶液を塗布する方法を使用することができる。この内、溶液を用いる方法は簡便であり、触媒元素の濃度調整が容易であるという点で有用である。金属塩としては各種塩を用いるとが

でき、溶媒としては水のほか、アルコール類、アルデヒド類、エーテル類、その他の有機溶媒、或いは水と有機溶媒の混合溶媒を用いることができる。本実施例では、塗布方法を用い、 $1 \sim 1000 \text{ ppm}$ 、好ましくは  $10 \sim 100 \text{ ppm}$  (重量換算) の範囲のニッケルを含んだ溶液を塗布した。ただし、非晶質珪素膜の膜厚を考慮に入れて適宜添加量を調節する必要がある。このようにして得られた非晶質珪素膜における膜中のニッケル濃度は  $1 \times 10^{19} \sim 1 \times 10^{21} \text{ atoms / cm}^3$  となる。

## 【0090】

以上のようにして触媒元素を非晶質珪素膜に導入した後、大気にふれることなく絶縁膜を形成し、絶縁膜を介してレーザー光の照射により結晶化を行ない結晶性珪素膜を得る。また、レーザー光の照射に代えて高温加熱する工程を加えてもよい。また、結晶化後に膜中の触媒元素を低減させるゲッタリングを行う工程を加えてもよい。

## 【0091】

以降の工程は、実施例 1 に従えば図 1 で得られる半導体装置が得られる。

## 【0092】

〔実施例 3〕 本実施例は、実施例 1 とは異なる方法により結晶性半導体膜を得る例である。実施例 1 では下地膜を熱処理した後、スパッタリング法で半導体膜を形成する構成としたが、本実施例では、下地膜と半導体膜と絶縁膜とを大気にふれることなく連続形成した例を示す。

## 【0093】

まず、基板としてプラスチック基板を用意する。その上に、スパッタリング法により窒化珪素膜からなる下地膜と、スパッタリング法により非晶質珪素膜からなる半導体膜を大気にふれることなく積層形成した。こうすることによって下地膜と半導体膜との界面を清浄なものとすることができる。加えて、スパッタリング法により膜厚  $20 \text{ nm}$  の酸化珪素膜からなる絶縁膜を大気にふれることなく連続形成した。こうすることによって半導体膜と絶縁膜との界面を清浄なものとすることができる。

## 【0094】

次いで、絶縁膜を介してレーザー光を照射して、非晶質珪素膜からなる半導体膜を結晶化させて結晶性半導体膜を形成する。

【0095】

以降の工程は、実施例1に従えば図1で示される半導体装置が得られる。

【0096】

〔実施例4〕 本実施例では、実施例1～3で示したスパッタリング法により形成された積層膜を形成するにあたって図11に示すような構成のマルチチャンバー（クラスターツール）構造の装置を用いる例を示す。

【0097】

本実施例では、まず、熔融石英ターゲットが設けられた第1の反応室（チャンバー）19において、成膜圧力を0.6 Paとし、スパッタガスには $O_2$ とArの混合ガスを用い、その混合比を0～50%、ここでは30%として、酸化珪素からなる下地膜を形成する。

【0098】

次に、大気にふれることなく、基板をシリコンターゲットが設けられた第2のチャンバー20に搬送し、スパッタガスにはArガスを用い、非晶質珪素からなる半導体膜を形成する。

【0099】

次に、大気にふれることなく、基板を熔融石英ターゲットが設けられた第3のチャンバー21において、成膜圧力を0.6 Paとし、スパッタガスには $O_2$ とArの混合ガスを用い、その混合比を20～80%、ここでは30%として、酸化珪素からなる絶縁膜を形成する。

【0100】

上記各スパッタリング工程において、被膜形成表面を公知のクリーニング方法によりクリーニングした後、膜を形成することが好ましい。

【0101】

次いで、絶縁膜を介してレーザー光を照射して、非晶質珪素膜からなる半導体膜を結晶化させて結晶性半導体膜を形成する。

【0102】



以降の工程は、実施例 1 に従えば、図 1 に示される構造を有する半導体装置を得ることができる。

【0103】

〔実施例 5〕 実施例 1 ではトップゲート型 T F T を例にとって説明したが、本願発明の構成はボトムゲート型 T F T（代表的には逆スタガ型 T F T）に適用することもできる。本実施例では、実施例 1 と異なる構造の T F T（ボトムゲート型 T F T）を作製した場合の例について図 7 を用いて説明する。

【0104】

図 7（A）において、500 は基板、501 はタンタル（Ta）と窒化タンタル（Ta<sub>2</sub>N<sub>5</sub>）とを積層したゲート配線である。なお、図では簡略化のため、下地膜とゲート配線が積層構造であることを図示していない。

【0105】

次に陽極酸化工程を行ない、ゲート配線の表面に保護膜 502 を形成する。陽極酸化膜に代えて通常の酸化工程による酸化膜でもよい。次いで、ゲート配線の上にはゲート絶縁膜 504 が形成される。本実施例ではスパッタリング法により酸化珪素膜を形成してゲート絶縁膜 504 としている。

【0106】

次いで、大気にふれることなくゲート絶縁膜 504 の上には微結晶を有する非晶質珪素膜 505 をスパッタリング法により形成し、さらにその上に窒化珪素膜からなる絶縁膜 503 を形成した。（図 7（A））

【0107】

次いで、絶縁膜 503 を介してレーザー光または加熱により結晶化を行ない、結晶性半導体膜 506 を形成した。（図 7（B））

【0108】

次いで、レジストマスク 507 を用いて酸化珪素膜からなるマスク 508 を形成する。（図 7（C））

【0109】

次いでレジストマスク 507 を除去した後、不純物の添加を行ない、不純物領域 509、510 を形成する。（図 7（D））

【0110】

次いで、チャネル形成領域となる領域をレジストマスク511で覆い、低濃度の不純物の添加を行い、低濃度不純物領域524、525と、チャネル形成領域521、高濃度不純物領域532、533を形成する。(図8(A))

【0111】

なお、不純物の添加工程の前後で、絶縁膜503を除去する工程としてもよい。

【0112】

次いで、活性層のパターニングを行い、ソース領域及びドレイン領域532、533を形成する。(図8(B))

【0113】

次いで、層間絶縁膜540を形成し、配線541、542を形成する。(図8(C))

【0114】

なお、本実施例では単体の逆スタガ型TFTの作製工程しか説明していないが、本実施例の構造の逆スタガ型TFTでCMOS回路を作製したり、画素マトリクス回路を構成したりすることは実施例1の作製工程を参考にすれば容易であるので説明は省略する。

【0115】

〔実施例6〕 本実施例では、本願発明によって作製された液晶表示装置の例を図9に示す。画素TFT(画素スイッチング素子)の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0116】

図9において800は絶縁表面を有する基板(酸化シリコン膜を設けたプラスチック基板)、801は画素マトリクス回路、802は走査線駆動回路、803は信号線駆動回路、830は対向基板、810はFPC(フレキシブルプリントサーキット)、820はロジック回路である。ロジック回路820としては、D/Aコンバータ、 $\gamma$ 補正回路、信号分割回路などの従来ICで代用していた様な処理を行う回路を形成することができる。勿論、基板上にICチップを設けて、

ICチップ上で信号処理を行うことも可能である。

【0117】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であればEL（エレクトロルミネッセンス）表示装置やEC（エレクトロクロミックス）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0118】

また、本願発明を用いて作製できる液晶表示装置は透過型か反射型かは問わない。どちらを選択するのも実施者の自由である。この様に本願発明はあらゆるアクティブマトリクス型の電気光学装置（半導体装置）に対して適用することが可能である。

【0119】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例5のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0120】

〔実施例7〕 本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路（D/Aコンバータ、 $\gamma$ 補正回路、信号分割回路等）に代表される信号処理回路や携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に適用しても良い。

【0121】

また、マイクロプロセッサ等の半導体回路は様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。本願発明はその様な半導体装置に対しても適用可能である。

【0122】

なお、本実施例に示した半導体装置を作製するにあたって、実施例1～実施例5のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。

【0123】

〔実施例8〕 本願発明の電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター、プロジェクションTV、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）などが挙げられる。それらの一例を図10に示す。

【0124】

図10（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004やその他の信号制御回路に適用することができる。

【0125】

図10（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103やその他の信号制御回路に適用することができる。

【0126】

図10（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205やその他の信号制御回路に適用できる。

【0127】

図10（D）はゴーグルディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302やその他の信号制御回路に適用することができる。

【0128】

図 10 (E) はリア型プロジェクターであり、本体 2401、光源 2402、表示装置 2403、偏光ビームスプリッタ 2404、リフレクター 2405、2406、スクリーン 2407 で構成される。本発明は表示装置 2403 やその他の信号制御回路に適用することができる。

【0129】

図 10 (F) は携帯書籍 (電子書籍) であり、本体 2501、表示装置 2502、2503、記憶媒体 2504、操作スイッチ 2505、アンテナ 2506 で構成される。本発明は表示装置 2502、2503 やその他の信号制御回路に適用することができる。

【0130】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0131】

なお、本実施例に示した半導体装置を作製するにあたって、実施例 1 ~ 実施例 5 のどの構成を採用しても良いし、各実施例を自由に組み合わせて用いることが可能である。また、実施例 6、実施例 7 に示した電気光学装置や半導体回路をその様に組み合わせて用いても良い。

【0132】

【発明の効果】

本発明によれば、非晶質半導体膜をスパッタリング法によって形成するので、安全性の高い作業環境で TFT を作製することができる。また、スパッタリング法によって形成するので膜質を調節し易く、所望の非晶質半導体膜を形成することができる。

【0133】

また、スパッタリング法によって形成された膜は密着性が高く、安価なプラスチック基板またはガラス基板を用いようとも極めて高品質な結晶性半導体膜、密着性の良好な界面が同時に実現可能となり、本発明を利用することで高性能な半導体装置を製造することができる。

【0134】

また、本発明を利用した半導体装置は、活性層、特にチャネル形成領域とどの上 に接して形成された絶縁膜との界面特性を清浄化することができるため、電気特性の高い半導体装置を得ることができる。

### 【0135】

また、TFTの代表的なパラメータである移動度 ( $\mu_{\max}$ ) は、Nチャネル型TFTで  $50 \sim 500 \text{ cm}^2 / \text{Vs}$  ( $100 \text{ cm}^2 / \text{Vs}$  以上)、Pチャネル型TFTで  $20 \sim 300 \text{ cm}^2 / \text{Vs}$  ( $50 \text{ cm}^2 / \text{Vs}$  以上) を実現できる。

### 【図面の簡単な説明】

- 【図1】 本願発明の構成の一例を示す図（実施例1）
- 【図2】 本願発明の作製工程一例を示す図（実施例1）
- 【図3】 本願発明の作製工程一例を示す図（実施例1）
- 【図4】 本願発明の作製工程一例を示す図（実施例1）
- 【図5】 本願発明の作製工程一例を示す図（実施例1）
- 【図6】 本願発明の構成の上面図を示す図（実施例1）
- 【図7】 本願発明の作製工程一例を示す図（実施例5）
- 【図8】 本願発明の作製工程一例を示す図（実施例5）
- 【図9】 アクティブマトリクス型の表示装置（実施例6）
- 【図10】 電子機器の一例を示す図（実施例8）
- 【図11】 装置の一例を示す図（実施例4）

### 【符号の説明】

100	基板
110	下地膜
111	第1層間絶縁膜
112	第2層間絶縁膜
113	第3層間絶縁膜
120	絶縁膜
150	スパッタリング法による半導体膜
151	絶縁膜
152	結晶性半導体膜

160	マスク
231、331	陽極酸化膜
330、230	ゲート配線
321、322、221	絶縁膜
312、313	高濃度不純物領域 (P型)
213~215、302、303	高濃度不純物領域 (N型)
216~219、304、305	低濃度不純物領域 (N型)
211、212、301	チャネル形成領域
311	チャネル形成領域
341~343、240、241	配線
351、352	引き出し配線
250	ブラックマスク
260	画素電極

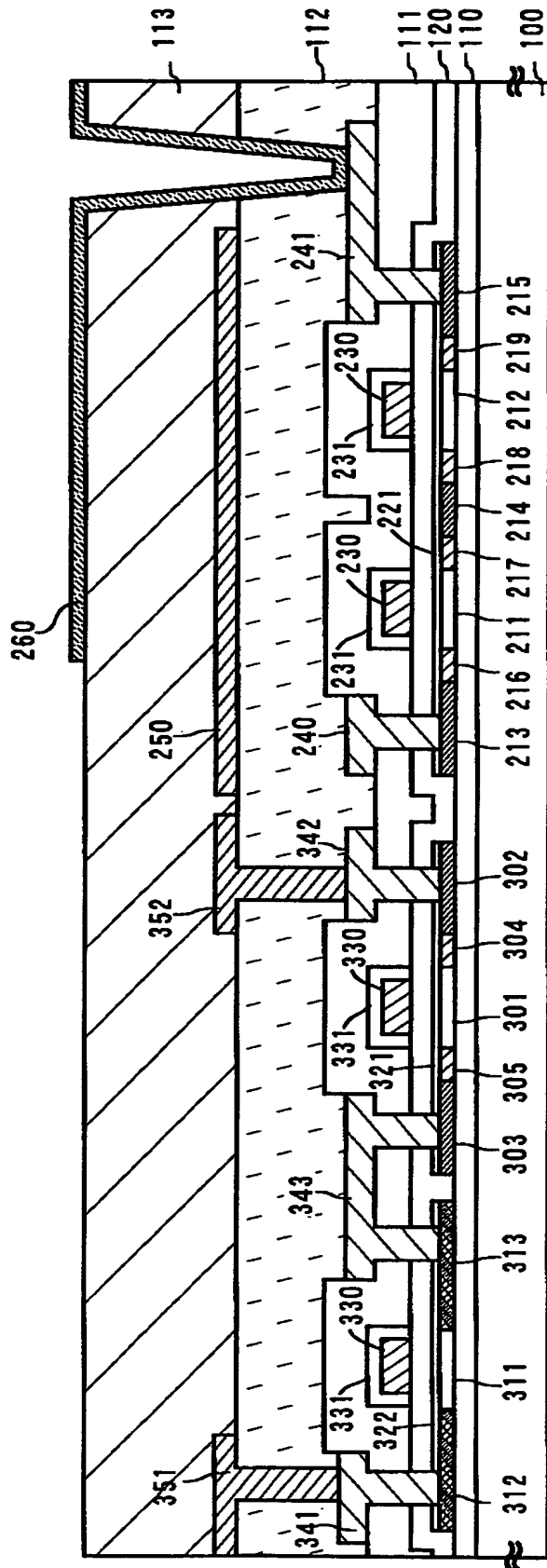
特平 10-297359

【書類名】

図面

【図 1】



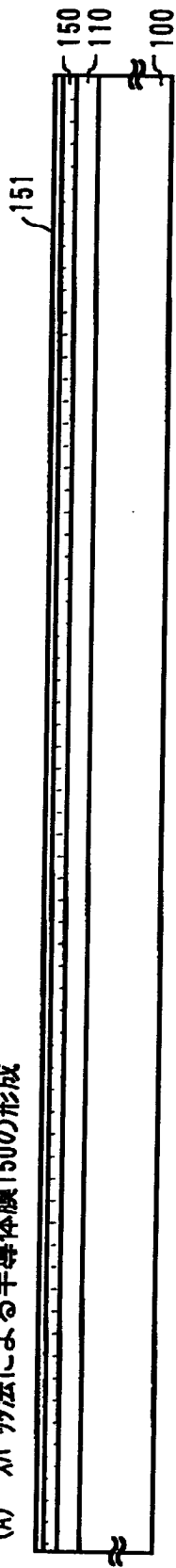


- CMOS回路 Y-Y' 断面
- Pチャネル型TFT
- Nチャネル型TFT
- 画素TFT (Nチャネル型) 200
- 画素マトリクス回路 101 X-X' 断面
- 100: ガラス基板  
110: 下地膜  
111: 第1層間絶縁膜  
112: 第2層間絶縁膜  
113: 第3層間絶縁膜  
120: 絶縁膜
- 211, 212: チャネル形成領域  
213-215: 高濃度不純物領域 (N+型)  
216-219: 低濃度不純物領域 (N-型)  
221: 絶縁膜  
230: 走査線  
240: 信号線  
250: フラットマスク  
260: 画素電極
- 301: チャネル形成領域  
302: ソース領域 (N型+) 303: ドレイン領域 (N型+)  
304, 305: 低濃度不純物領域 (N-型)  
311: チャネル形成領域  
312: ソース領域 (P型) 313: ドレイン領域 (P型)  
321, 322: 絶縁膜 330: ゲート配線 331: 陽極酸化膜  
341, 342: ソース配線 343: ドレイン配線

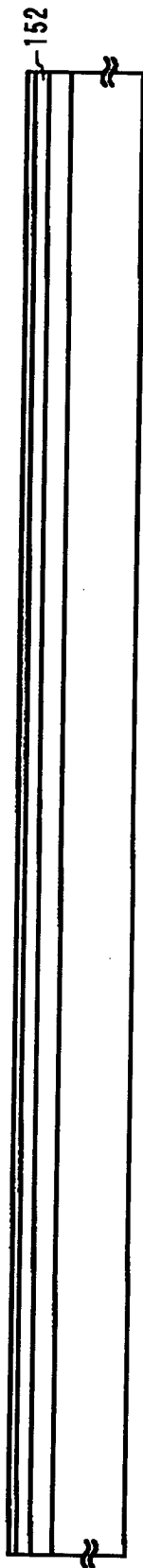
特平 10-297359

【図 2】

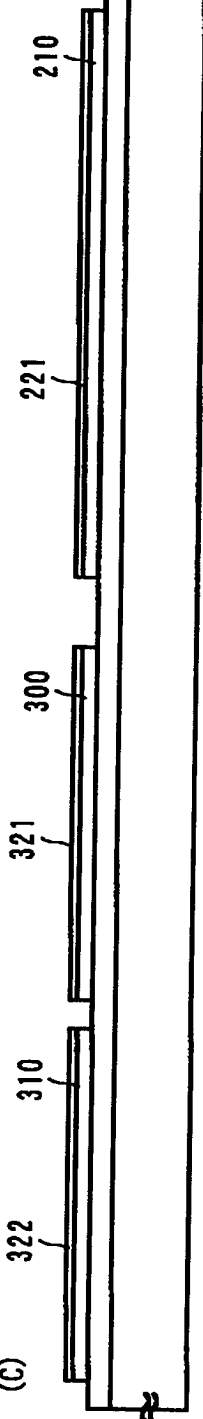
(A) スパッタ法による半導体膜150の形成



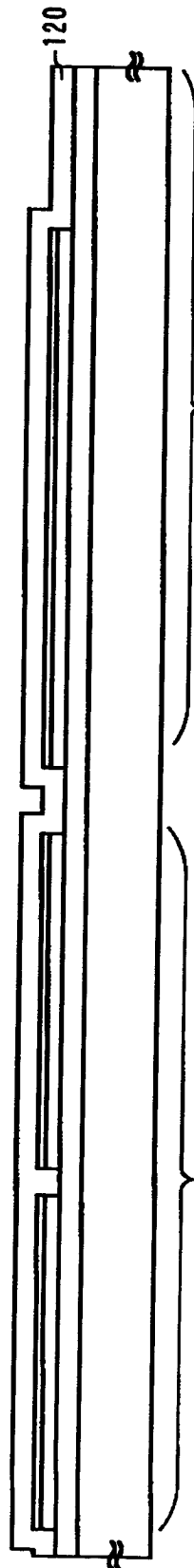
(B) 半導体膜の結晶化



(C)



(D)



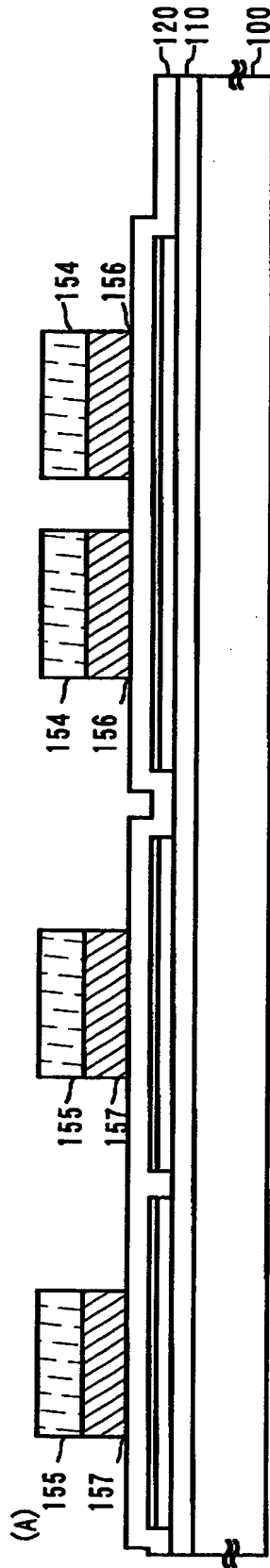
CMOS回路Y-Y'断面

画素トリス回路201 X-X'断面

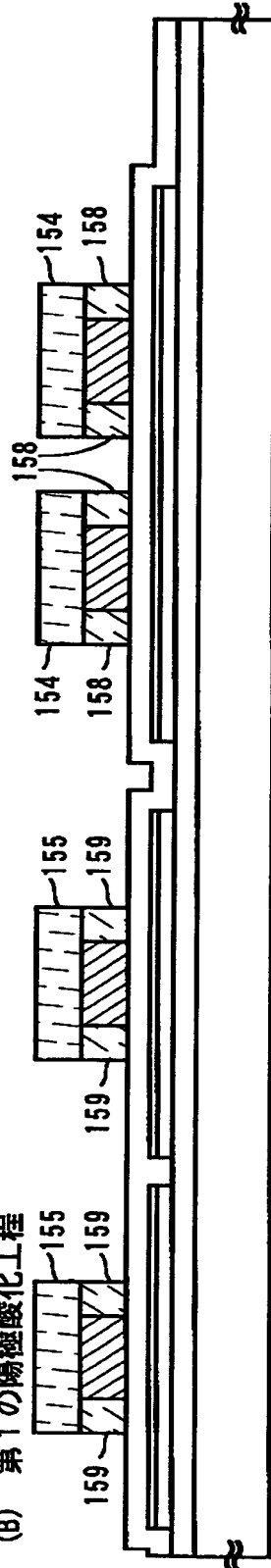
100:ガラス基板 110:下地膜 120:絶縁膜 150:スパッタリング法による半導体膜  
151:絶縁膜 152:結晶性半導体膜  
210, 300, 310:活性層

特平 10-297359

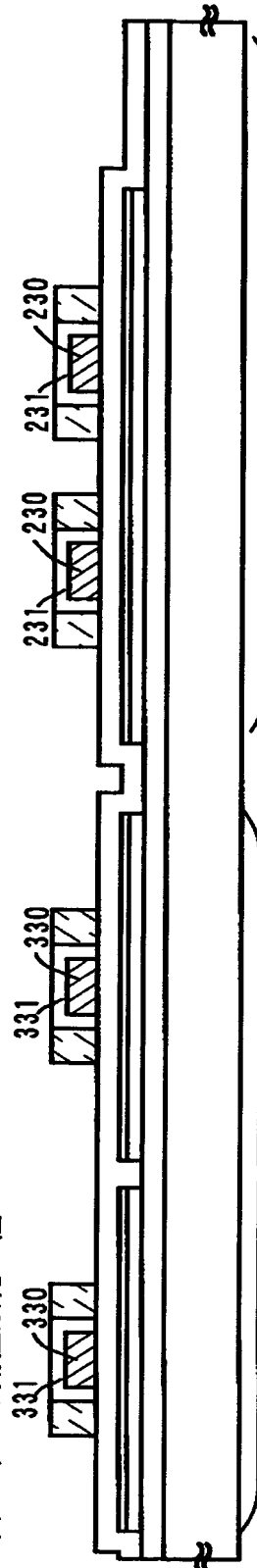
【図 3】



(B) 第1の陽極酸化工程



(C) 第2の陽極酸化工程



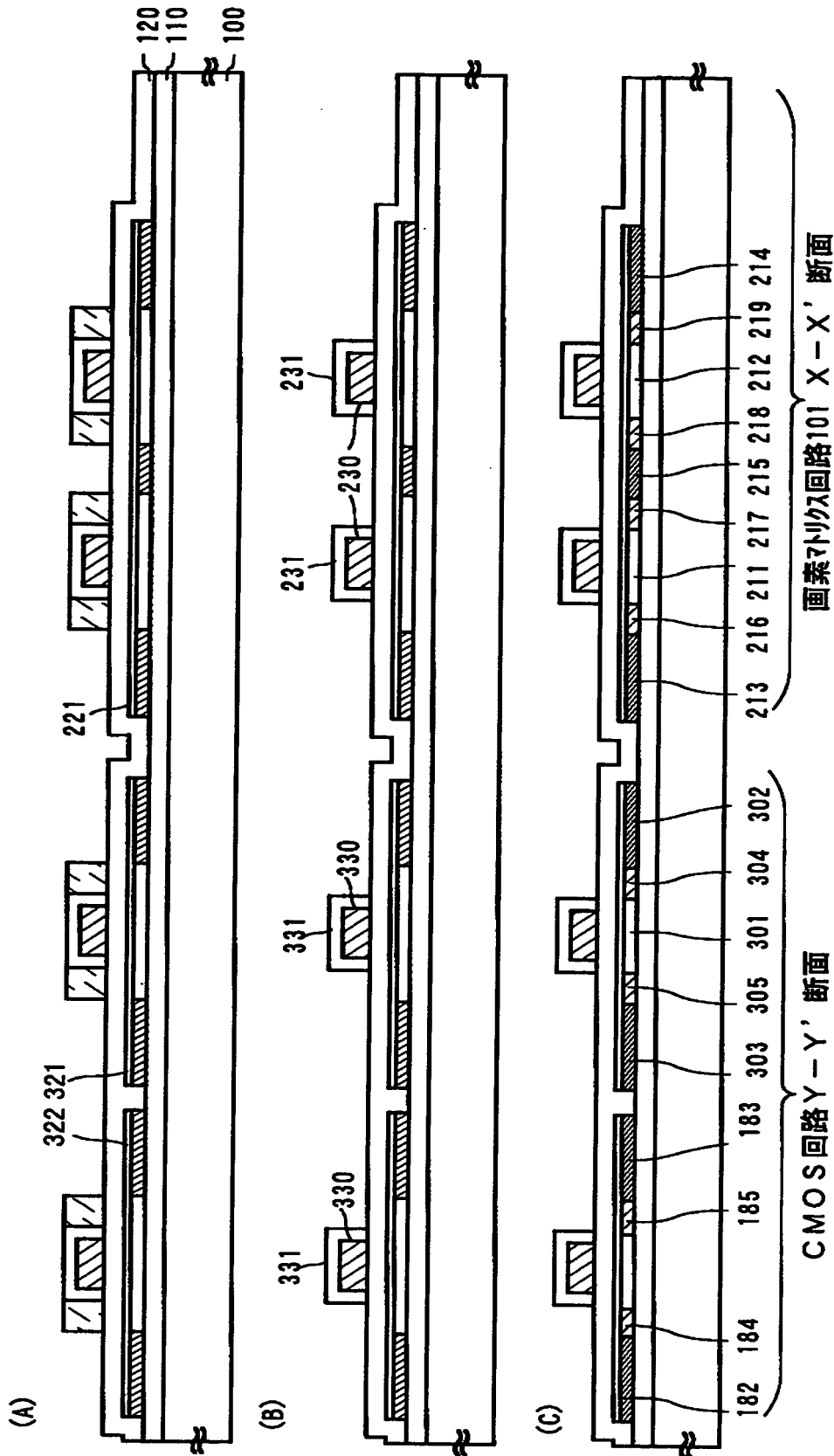
CMOS回路Y-Y'断面

画素トリス回路201 X-X'断面

100:ガラス基板 110:絶縁膜 120:下地膜 154, 155:マスク 156, 157:配線パター  
158:陽極酸化膜 (ホ-ヲ型) 230:走査線 330:ゲ-ト配線 231, 331:陽極酸化膜 (ホ-リ型)

特平 10-297359

【図 4】

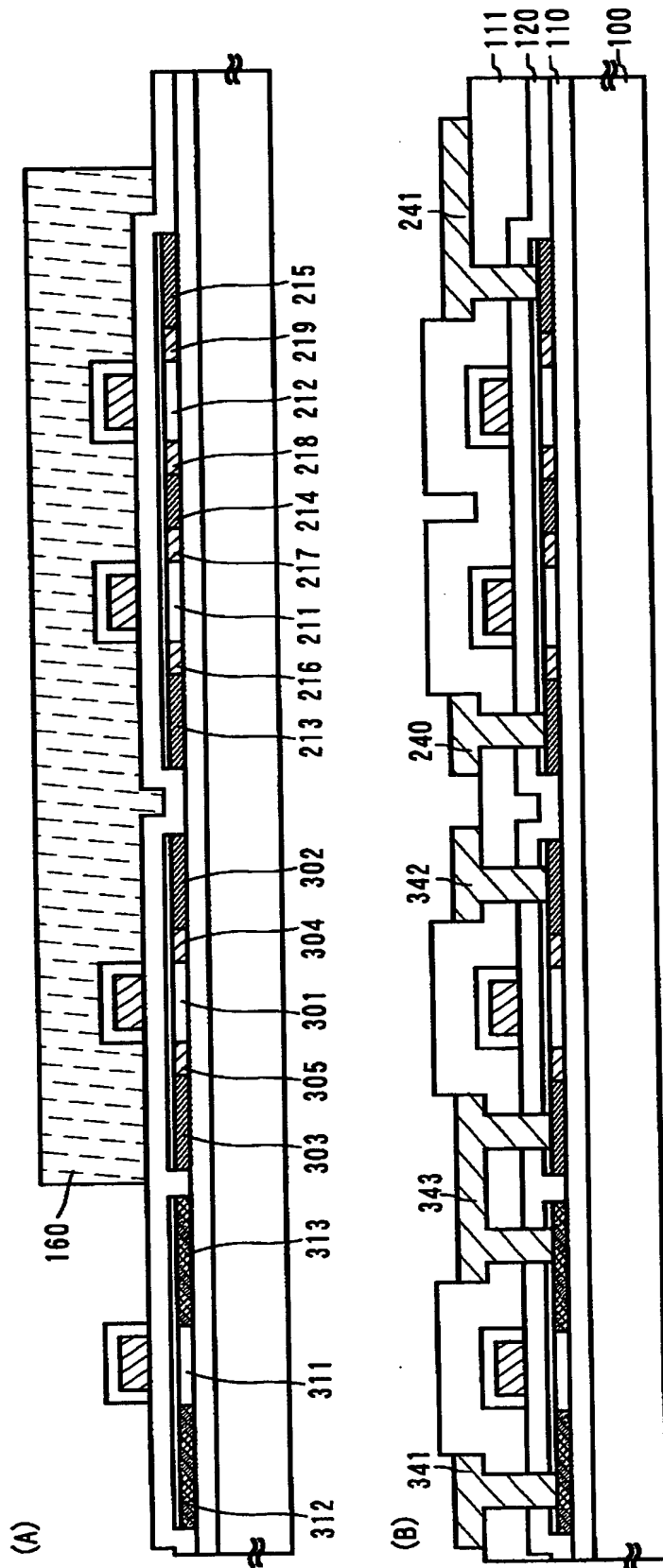


100:基板(ガラス基板) 110:下地膜  
 221, 321, 322:絶縁膜 230:走査線 330:ゲ-ト配線 231, 331:陽極酸化膜 (p-リ型)  
 211, 212:チャネル形成領域 213-215:高濃度不純物領域 (N+型) 216-219:低濃度不純物領域 (n-型)  
 301:チャネル形成領域 302:ソース領域 (N+型) 303:ドレイン領域 (N+型) 304, 305:低濃度不純物領域 (n-型)

特平 10-297359

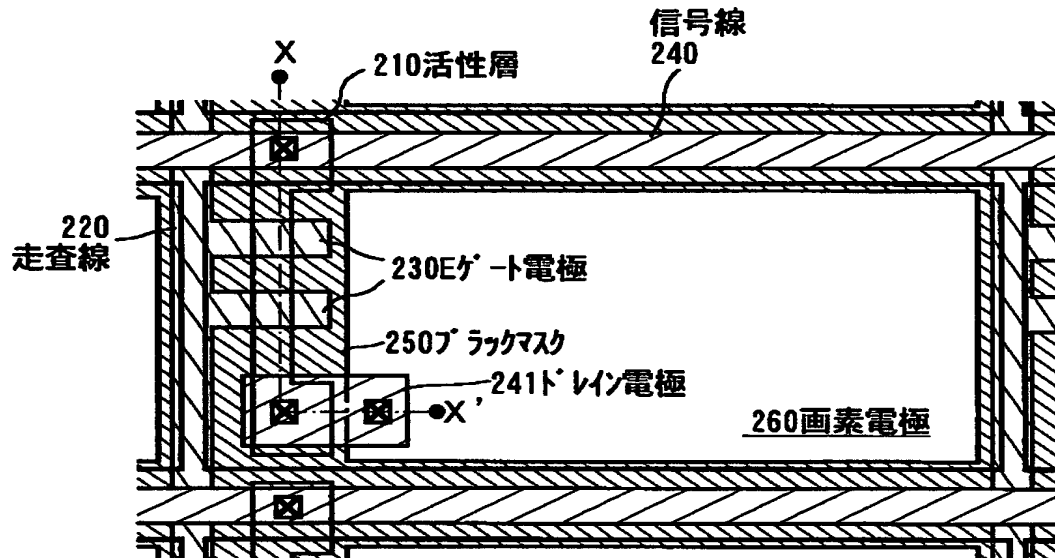
【図5】



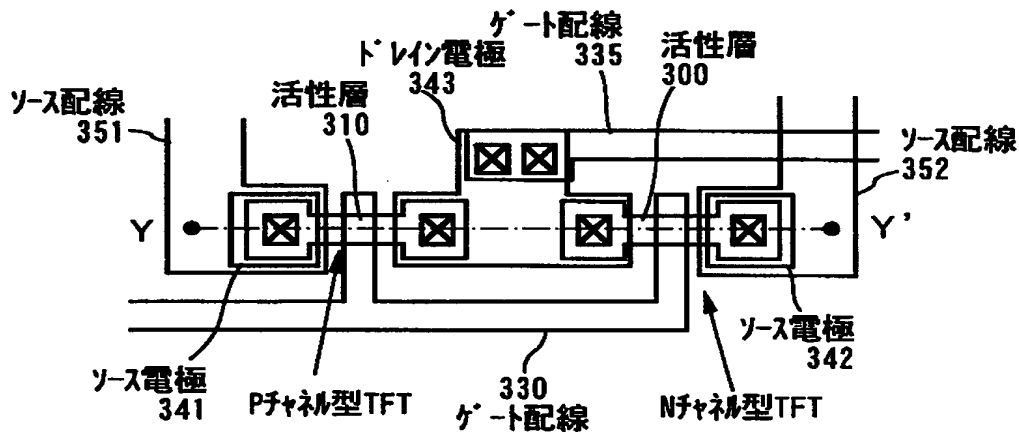


100:基板(ガラス基板) 110:下地膜 111:層間絶縁膜 120:絶縁膜  
 211, 212:チャネル形成領域 213-215:高濃度不純物領域(N+型) 216-219:低濃度不純物領域(n-型)  
 301:チャネル形成領域 302:ソース領域(N+型) 303:ドレイン領域(N+型) 304, 305:低濃度不純物領域(n-型)  
 311:チャネル形成領域 312:ソース領域(P型) 313:ドレイン領域(P型)  
 240:信号線 241:ドレイン電極 341, 342:ソース配線 343:ドレイン配線

【図6】

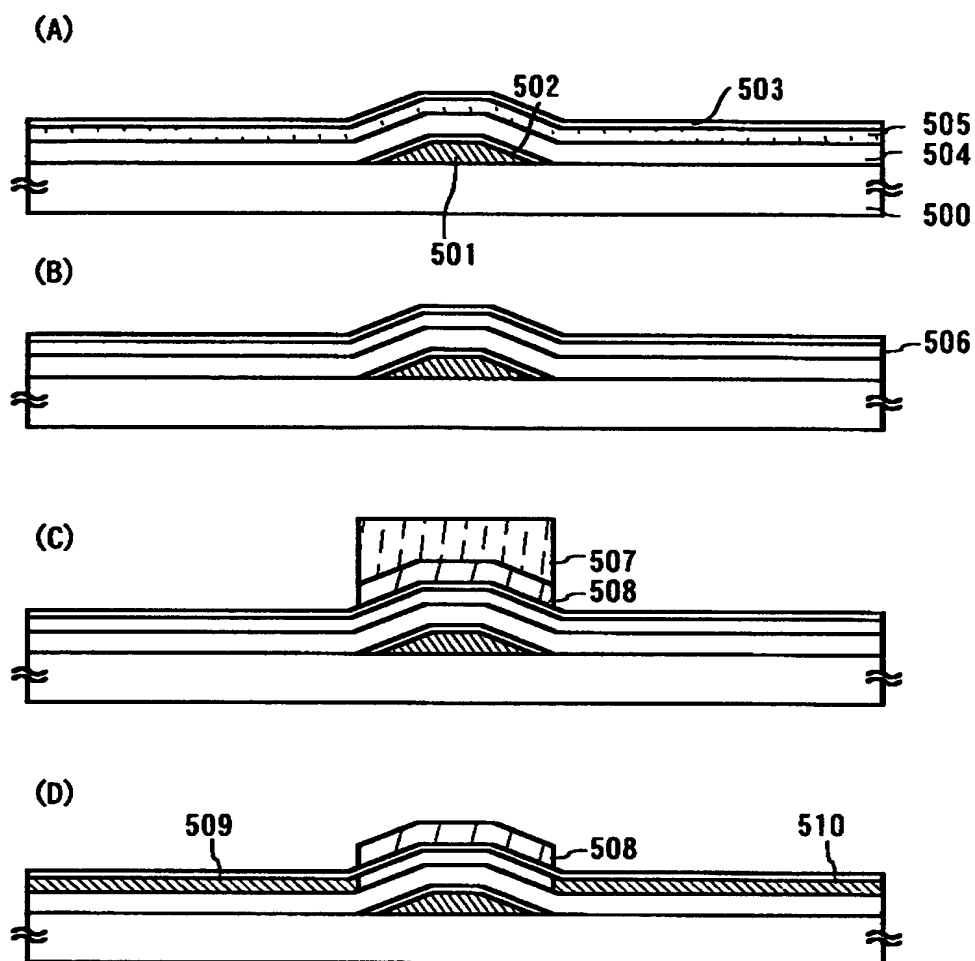


(A) 画素マトリクス回路101上面図



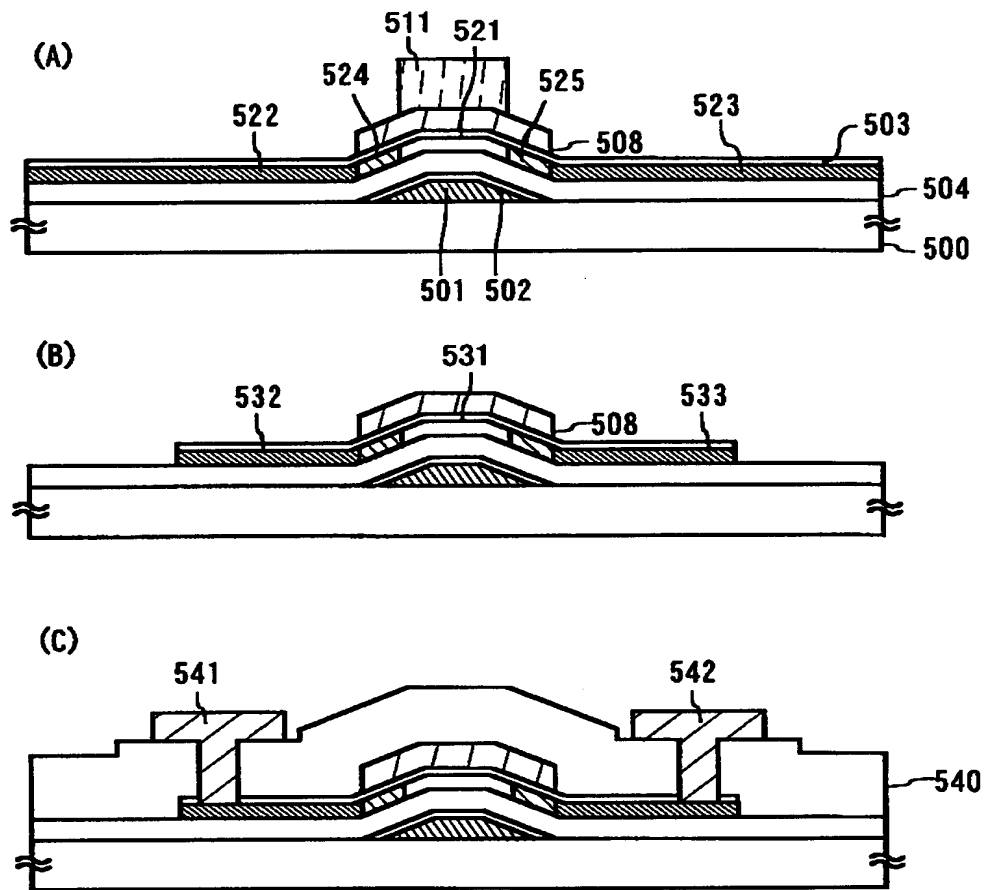
(B) CMOS回路上面図

【図7】



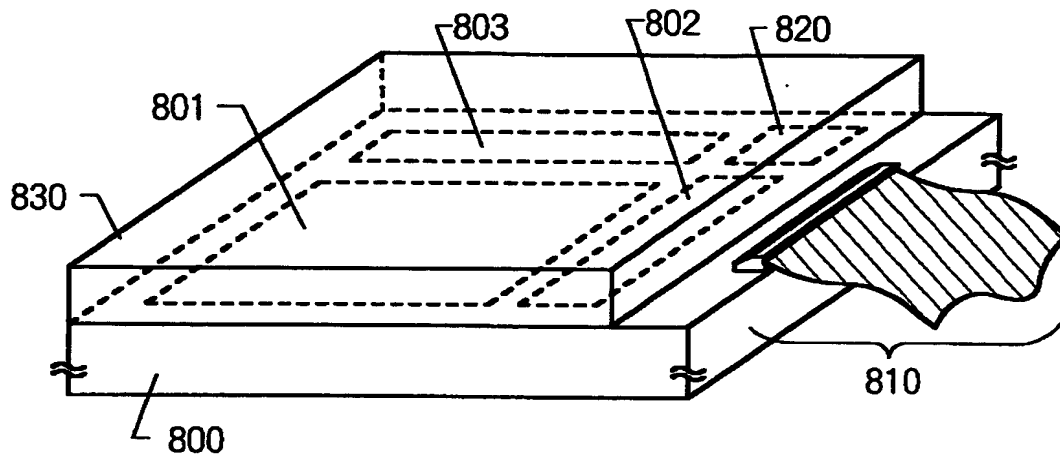
500:ガラス基板  
 501:ゲート配線 502:陽極酸化膜 503:絶縁膜 504:絶縁膜  
 505:半導体膜 506:結晶性半導体膜  
 507:レジストマスク 508:マスク  
 509, 510:N型領域

【図 8】



500:ガラス基板  
 501:ゲート配線 502:陽極酸化膜 504:絶縁膜 508:マスク  
 511:レジストマスク  
 531:チャネル形成領域  
 532:ソース領域(N+型), 533:ドレイン領域(N+型)  
 534, 535:低濃度不純物領域(N-型)  
 540:層間絶縁膜  
 541:ソース配線 542:ドレイン配線

【図9】



アクティブマトリクス基板

800 : ガラス基板

801 : 画素マトリクス回路

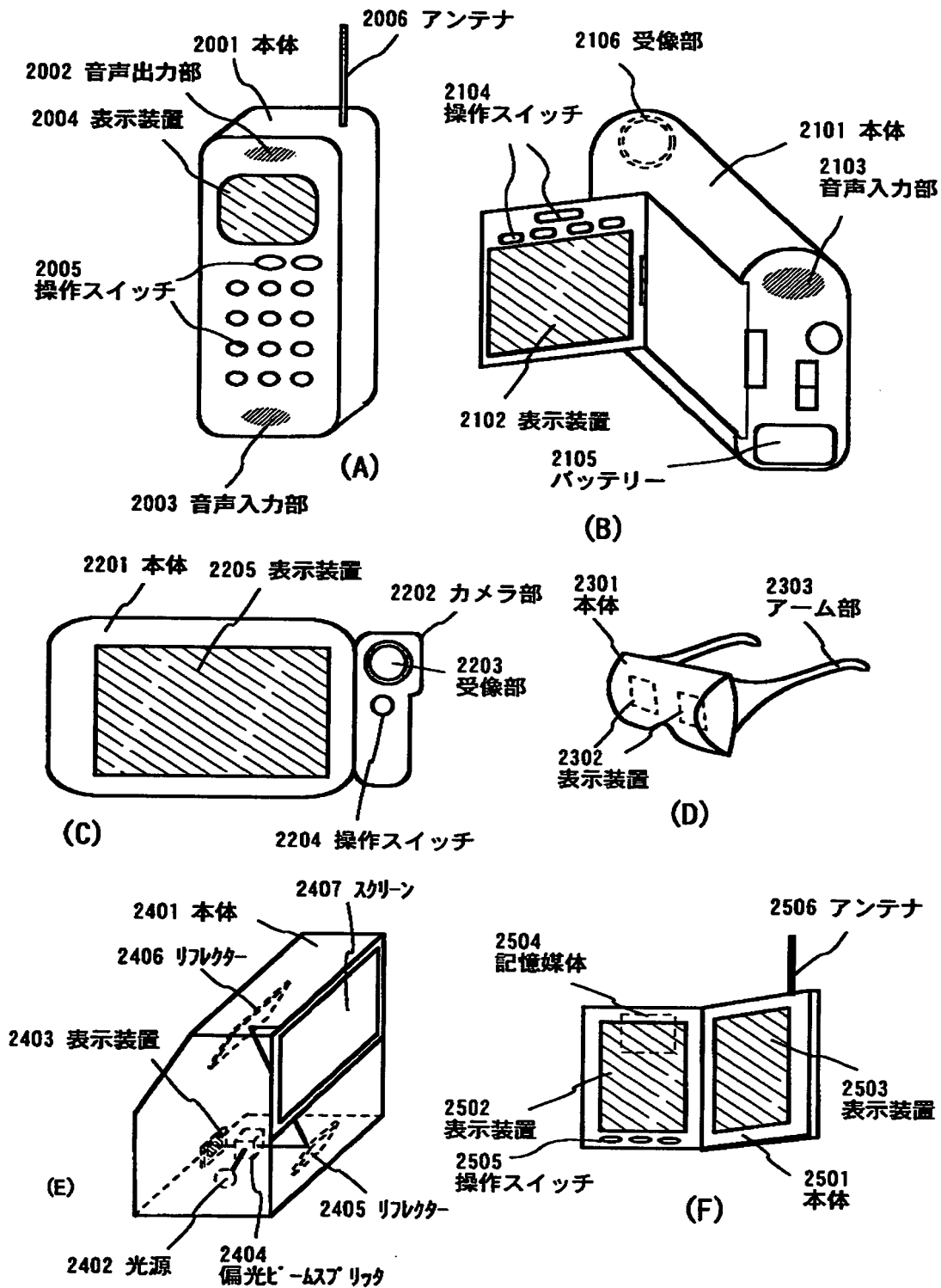
802 : 走査線駆動回路、803 : 信号線駆動回路

810 : FPC

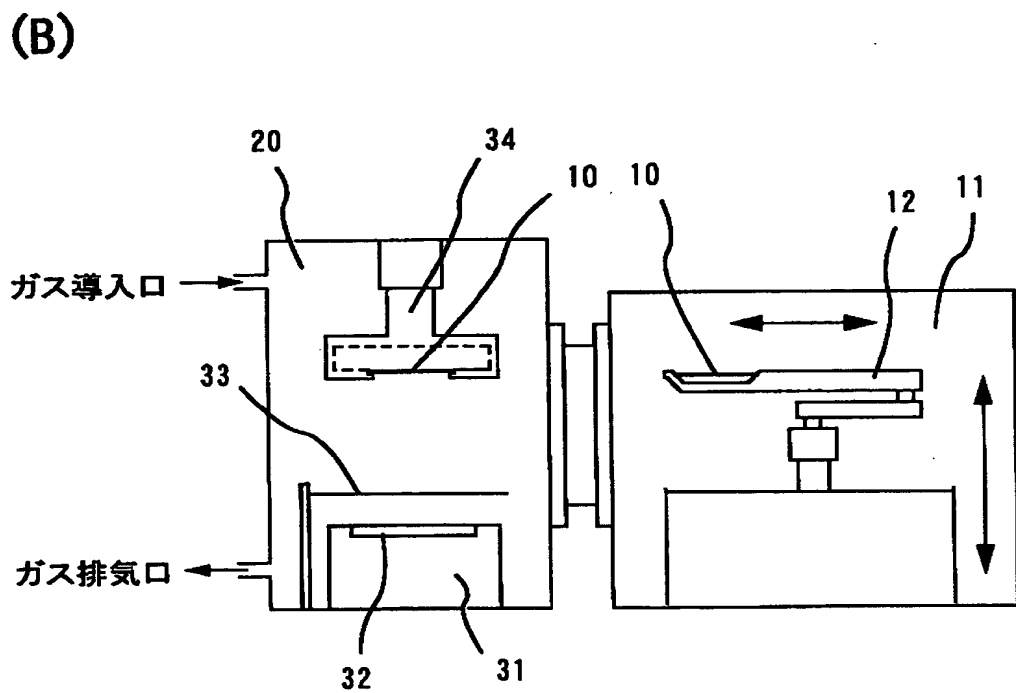
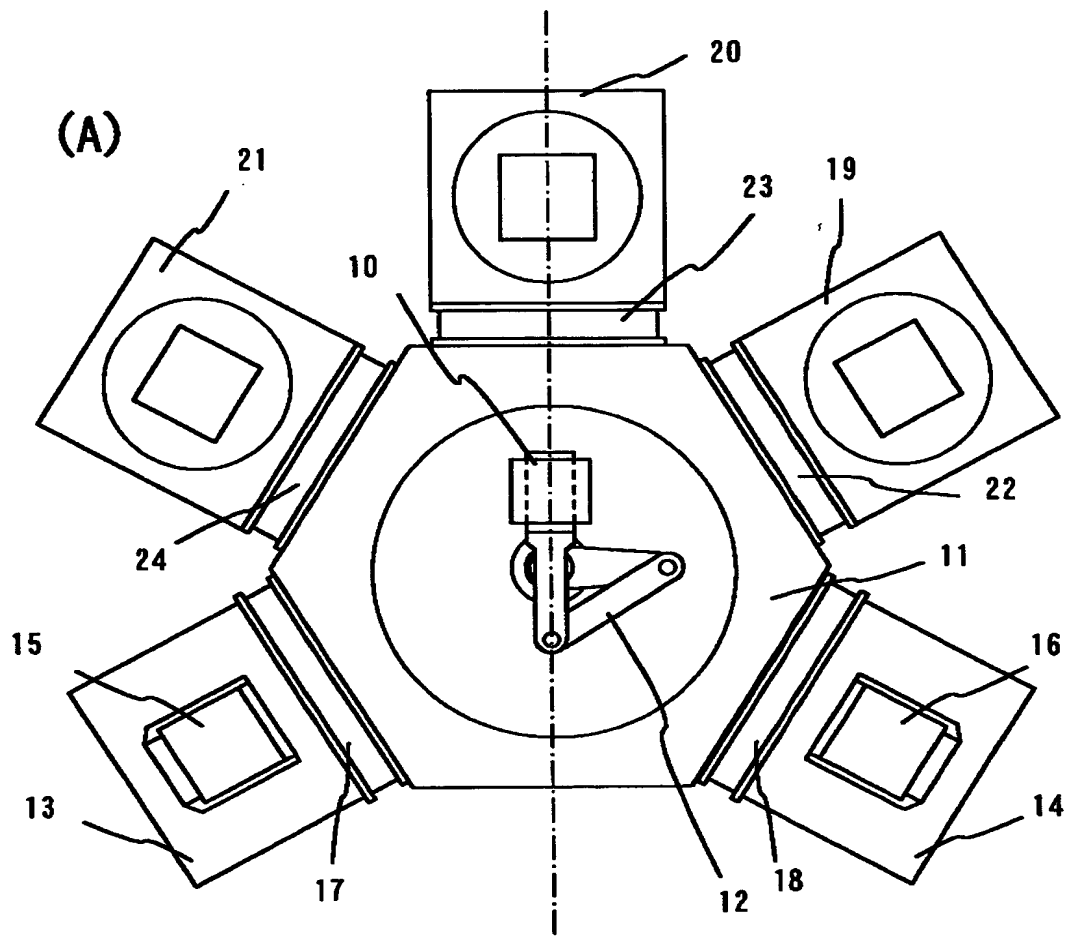
820 : ロジック回路

830 : 対向基板

【図 10】



【図11】



【書類名】 要約書

【要約】

【課題】 本発明は、低温で成膜でき、生産性の優れた方法を用いて非晶質半導体膜を形成することにより、安全性の高いプロセスを提供することを目的とする。

【解決手段】 上記目的を解決するため、本発明は、スパッタリング法により半導体膜を形成し、次いで連続的に絶縁膜を形成した後、絶縁膜を介して結晶化を行い、結晶性半導体膜を形成することを特徴としている。この様な構成により安全な作業環境のプロセスで良好な T F T の電気特性を実現する。

【選択図】 図 2



【書類名】  
【訂正書類】

職権訂正データ  
特許願

<認定情報・付加情報>

【特許出願人】

申請人

【識別番号】

000153878

【住所又は居所】

神奈川県厚木市長谷 398 番地

【氏名又は名称】

株式会社半導体エネルギー研究所

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日  
[変更理由] 新規登録  
住 所 神奈川県厚木市長谷398番地  
氏 名 株式会社半導体エネルギー研究所